

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07045096 A**(43) Date of publication of application: **14.02.95**

(51) Int. Cl

G11C 29/00**G11C 11/413****G11C 11/401**(21) Application number: **05209958**(22) Date of filing: **03.08.93**(71) Applicant: **NEC CORP**(72) Inventor: **ANDO MANABU
KADOTA JUNJI****(54) SEMICONDUCTOR MEMORY WITH BIT ERROR
CORRECTING FUNCTION**

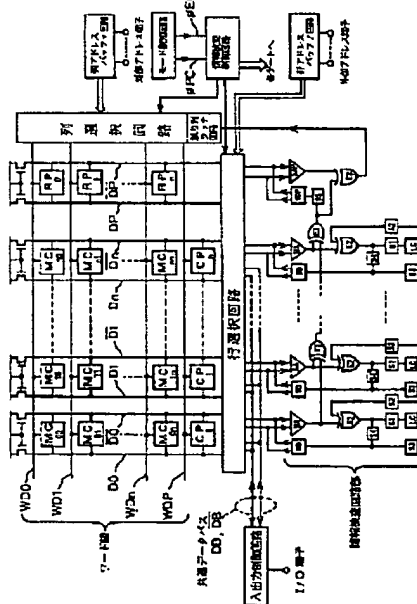
(57) Abstract:

PURPOSE: To effectively correct a bit error generated at the time of storing data by generating and writing parity information or correcting error information in an information memory cell in accordance with an operation mode.

CONSTITUTION: A mode detecting circuit detects the 1st or 2nd operation mode based upon the state of an external terminal. At the time of detecting the 1st operation mode, a parity clock ϕ_{PC} is generated and an information inspection control circuit controls row and column selecting circuits to generate and write parity information in overall inspecting memory cells RP, CP. At the time of detecting the 2nd operation mode, an error correcting clock ϕ_{EC} is generated, parity information is prepared by row and column data read out from an information memory cell MC, an error address is extracted by an information inspecting circuit part, and data in a latch circuit LC are updated. When the parity writing mode and the error correcting mode are effectively used, error correction can be attained without extending data writing and reading cycle time at

the time of normal operation.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-45096

(43) 公開日 平成7年(1995)2月14日

(51) Int.Cl.⁶

G 1 1 C 29/00
11/413
11/401

識別記号

3 0 2

庁内整理番号

6866-5L

F I

技術表示箇所

G 1 1 C 11/ 34

3 4 1 A

3 7 1 C

審査請求 有 請求項の数5 F D (全 8 頁)

(21) 出願番号 特願平5-209958

(22) 出願日 平成5年(1993)8月3日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 安藤 学

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 門田 順治

東京都港区芝五丁目7番1号 日本電気株式会社内

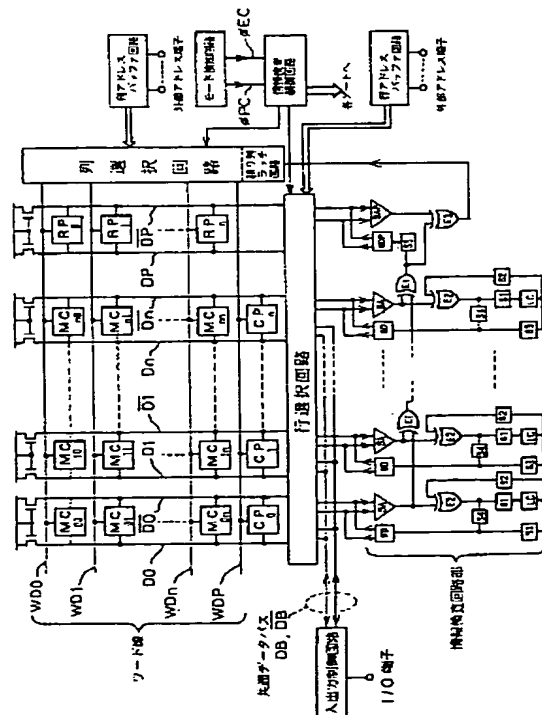
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 ビットエラー訂正機能付き半導体メモリ

(57) 【要約】

【目的】 通常動作時のデータの書き込み、読み出しサイクル時間を増大することなく、データ保持時に発生するビットエラーの訂正を有効に行なう半導体メモリの提供。

【構成】 複数の情報メモリセルと、検査用メモリセルとパリティ情報を生成する手段とパリティ情報を所定の検査用メモリセルに書き込む手段と、誤り情報を保持する情報メモリセルを検出し誤り情報を訂正する手段とを有する半導体メモリにおいて、外部端子に与えられた状態に基づき動作モードを検知するモード検知手段を備え、第1動作モード検知時には全ての検査用メモリセルに対してパリティ情報の生成および書き込みを一斉に行い、第2動作モード検知時には全ての情報メモリセルの中から誤り番地を抽出し誤り情報を訂正する。



【特許請求の範囲】

【請求項 1】情報を記憶する複数の情報メモリセルと、グループ化された該情報メモリセルの各々に記憶された複数のビット情報に関する検査情報を記憶する検査用メモリセルと、前記グループ化された複数のビット情報を検索しその情報に対応したパリティ情報を生成する手段と、該パリティ情報を所定の検査用メモリセルに書き込む手段と、及び、該パリティ情報を所定の検査用メモリセルの情報と比較することにより、誤り情報を保持する情報メモリセルの番地を検出し該誤り情報を訂正する手段と、を有する半導体メモリにおいて、外部端子に与えられた所定の状態に基づき動作モードを検知するモード検知手段を備え、前記モード検知手段が、第 1 の動作モードを検知した際には、全ての検査用メモリセルに対して前記パリティ情報の生成、及び書き込みを一斉に行い、第 2 の動作モードを検知した際には、全ての情報メモリセルの中から誤り番地を抽出し誤り情報を訂正することを特徴とする半導体メモリ。

【請求項 2】前記外部端子として専用外部端子を設けたことを特徴とする請求項 1 記載の半導体メモリ。

【請求項 3】前記外部端子として既存の制御端子が用いられ、前記第 1、第 2 の動作モードを該既存の制御端子に印加する入力電圧の組み合わせによって外部から指定することを特徴とする請求項 1 記載の半導体メモリ。

【請求項 4】低電源電圧時のデータ保持機能を有し、電源電圧が動作可能な電圧レベルを超えた時を前記第 2 の動作モードとして検知し誤り訂正制御信号を生成する電源電圧検知回路を備え、電源電圧が低電圧のデータ保持状態から上昇し、動作可能な電源電圧に復帰する際に、全ての情報メモリセルの中から誤り番地を抽出し誤り情報を訂正することを特徴とする請求項 1 記載の半導体メモリ。

【請求項 5】前記第 1 の動作モードにおいてパリティ情報の生成、及び書き込みは一斉には行なわず、データの書き込み毎にパリティ情報の更新が行なわれることを特徴とする請求項 1 又は 4 記載の半導体メモリ。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、ビットエラー訂正機能を有する半導体メモリに関し、特に低電源電圧データ保持時に発生するビットエラー訂正機能を有する半導体メモリに関する。

【0002】

【従来の技術】従来、ビットエラー訂正機能を有する半導体メモリとしては、例えば特公昭62-35198号公報、特公昭62-35199号公報、特開平2-150000号公報等に記載されているものがある。以下に、特公昭62-35198号公報に

ついてその概略を説明する。

【0003】図4、図5は、従来のビットエラー訂正機能を有する半導体メモリの原理説明図である。このビットエラー訂正機能付き半導体メモリは、水平・垂直パリティチェック方式を1次元化し、1本のワード線に接続しているメモリセル単位で適用させることにより、半導体メモリ内で発生するビットエラーを自己訂正するものである。

【0004】図4において、仮に16個の情報メモリセルを考えた場合、その16個のメモリセルを4×4のマトリクス上に配置し、検査用メモリセルとして水平方向のパリティデータ2として4ビット、垂直方向のパリティデータ3として4ビットが配置される。

【0005】ここで、16個の情報メモリセル1、4個の水平検査用メモリセル2、及び4個の垂直検査用メモリセル3を図4の破線矢印で示すように移動すると、図4の2次元マトリクスは、図5に示すような1次元マトリクスに変換することができる。

【0006】このため、1本のワード線を選択し、同時に得られる24個のビット情報を検索することによって、24ビットのうち情報メモリセルのデータ16個に1ビットのエラーが発生した場合、その位置を検出し、さらに誤りデータを訂正することができる。

【0007】また、前記従来例のうちその他の半導体メモリは、マトリクスのとり方等を工夫して、総メモリセル数をできるだけ少なくし、チップ面積の増大化を回避するものであり、実際の基本的動作は共通であり以下に示すとおりである。

【0008】まず、電源投入時、全ての情報メモリセル及び検査用メモリセルを“0”にクリアする。

【0009】書き込みサイクルでは、書き込みアドレスに書き込まれる前のデータを検出すると同時に、該当するアドレスが所属する2組の情報メモリセルグループの各情報メモリセルデータを検出する。

【0010】ここで、各組の情報メモリセルデータから得られるパリティ情報と予め検査用メモリセルに記憶されたパリティ情報を比較し、もし該当アドレスのデータが誤っていると判定された場合にはこれを訂正する。

【0011】訂正されたデータと書き込みデータとが比較され、必要であれば、前記2組のグループの検査用メモリセルのデータを更新すると共に、該当アドレスには新たなデータが書き込まれる。

【0012】読み出しサイクルにおいても、書き込み時と同様な手順で読み出しデータの誤り有無を検査し、必要があればこれを訂正した後にデータを出力端子に伝達する。

【0013】また、特開平2-242453公報には、ハンドヘルドターミナル装置に実装されるスタティックRAMにおいて、装置の電源をOFFしスタティックRAMを低電圧でサポートしている時にソフトエラーが発生し易い

ので、固定的なデータであるプログラムには予め垂直パリティ及び水平パリティを付加しておき、また可変的データである入力データ等は電源OFF時に水平パリティを付加しておいて、電源ON中のデータ読み出し時に、パリティチェックを行なってエラーが検出された時にこれを修正し、低電圧でメモリサポートされている時に発生率の高いソフトエラーを使用時に自動的に修正するという、スタティックRAMのソフトエラーの修正方法が開示されている。

【0014】

【発明が解決しようとする課題】以上説明した従来の半導体メモリにおけるビットエラーの訂正は、書き込み及び読み出しの全てのサイクルで指定された番地の情報メモリセルが属する複数のグループにおいて、該グループに含まれる全ての情報メモリセルのデータを検索し、得られたパリティ情報と対応する検査用メモリセルのデータを比較し、誤りがあれば、これを訂正する。

【0015】従って、ビットエラー訂正機能を持たない半導体メモリと比較して、この種の半導体メモリでは、上記エラーの検査及び訂正を行うため、書き込み及び読み出しのサイクル時間を長くしなければならないという欠点があった。

【0016】また、検査及び訂正にかかる時間を短くするためには、情報メモリセルグループを細分化し、データの検索時間を短くする方法があるが、この場合検査用メモリセルが増加しチップ面積の増大化を招くばかりでなく、検査用メモリセルのエラー発生確率も増加するという欠点がある。

【0017】通常、スタティックRAMのように低電圧電源データ保持機能を持つ半導体メモリにおいては、動作電源電圧が5V、データ保持電源電圧が2Vという規格となっている。

【0018】 α 線の入射によって発生する非固定的なビットエラーの発生率は、電源電圧に大きく依存する。これは、メモリセル節点に蓄えられる電荷量の違いによるもので、電源電圧5V時には約1Fit (1Fit = $10^{-9}/h$) 以下のエラー発生率であるのに対して、電源電圧2V時には5V時の1000倍程度も悪化する。

【0019】したがって、低電圧電源データ保持機能を持つ半導体メモリでは、データ保持時に発生するビットエラーの訂正さえ行えば、通常の使用環境においては、十分信頼性の高いデバイスとして動作し得る。

【0020】低電圧のデータ保持時に発生率の高いスタティックRAMのソフトエラーを自動修正する方法を開示した特開平2-242453公報は、電源オン時の通常のデータ読み出し時にパリティチェックを行ないエラー訂正を行なうもので、前述したように読み出しサイクル時間が長くなるという問題がある。さらに特開平2-242453公報では、電源オフ時に水平パリティの付加動作が行なわれるが、半導体メモリにおいては電源オフ時に内部回路を

動作させることは困難である。

【0021】したがって、本発明はこのような問題点を解決し、通常動作時におけるデータの書き込み、読み出しのサイクル時間を長くすることなく、データ保持時に発生するビットエラーの訂正を有効に行なう半導体メモリを提供することを目的とする。

【0022】

【課題を解決するための手段】前記目的を達成するため本発明は、情報を記憶する複数の情報メモリセルと、グループ化された該情報メモリセルの各々に記憶された、複数のビット情報に関する検査情報を記憶する検査用メモリセルと、前記グループ化された複数のビット情報を検索し、その情報に対応したパリティ情報を生成する手段と、該パリティ情報を所定の検査用メモリセルに書き込む手段と、及び、該パリティ情報を所定の検査用メモリセルの情報と比較することにより、誤り情報を保持する情報メモリセルの番地を検出し該誤り情報を訂正する手段と、を有する半導体メモリにおいて、外部端子に与えられた所定の状態に基づき動作モードを検知するモード検知手段を備え、前記モード検知手段が、第1の動作モードを検知した際には全ての検査用メモリセルに対して前記パリティ情報の生成、及び書き込みを一斉に行い、第2の動作モードを検知した際には全ての情報メモリセルの中から誤り番地を抽出し誤り情報を訂正することを特徴とする半導体メモリを提供する。

【0023】本発明者らは、前述の通り、半導体メモリのエラー発生率が使用条件により大きく変化することに着目し、エラー発生率が高い状態になる直前に、全ての検査用メモリセルに所定のパリティ情報を書き込み、エラー発生率が高い状態が終了した直後、該検査用メモリセルのパリティ情報を参照データとして、全ての情報メモリセルを検索し誤り番地の検出と誤りデータの訂正を行い、通常動作時においては誤り訂正機能を持たない半導体メモリと同等に高速に動作するように構成された本発明の半導体メモリを完成させるに至った。

【0024】本発明の半導体メモリは、外部端子の状態により動作モードを検知するモード検知回路と、検査用メモリセルへのパリティ情報の書き込みと誤りビットデータの訂正動作を制御する情報検査制御回路、及びメモリセルのデータを検索する情報検査回路を具備している。

【0025】

【実施例】図面を参照して、本発明の実施例を以下に説明する。

【0026】図1は、本発明の半導体メモリをスタティックRAM (以下「SRAM」という) に適用した場合の一実施例である。

【0027】図1に示すように、本実施例においてSRAMは $n \times n$ のマトリックスに構成されており、MC_{xy}は情報メモリセルで、各ワード線WD_xには列検査用メ

メモリセル RP_x が接続され、各ビット線対 D_y 、 D_y には行検査用メモリセル CP_y が接続され、MOSFETで構成される負荷回路により終端される。なお、記号は反転を表わす。

【0028】また、SRAMは、外部端子の状態を検知するモード検知回路と、検査用メモリセルへのパリティ情報の書き込みと誤りビットデータの訂正動作を制御する情報検査制御回路を具備し、情報検査回路部で、パリティ情報の生成、比較、誤りデータの訂正を行う。情報検査回路部において同一符号を付したゲートは、すべて同期して動作する。

【0029】まず、通常書き込み、読み出し動作について以下に説明する。通常動作の場合、列選択回路は、外部アドレス端子に入力されたアドレスにしたがって列アドレスバッファ回路を介して所定のワード線を選択し、該選択したワード線の電圧を高レベルとする。

【0030】また、行選択回路も同様に外部アドレス端子に入力されたアドレスにしたがって行アドレスバッファ回路を介して所定のビット線対と共通データバスDB、DBを電氣的に接続させる。

【0031】このようにして、書き込み時には、I/O端子に入力されたデータを入出力制御回路を介して所定の情報メモリセル MC_{xy} に伝達してこれを記憶し、読み出し時には、所定の情報メモリセル MC_{xy} から入出力制御回路を介してI/O端子にセルデータを伝達しこれを出力することができる。

【0032】すなわち、通常動作モードでは、誤り訂正機能を持たないSRAMと同様な動作を行い、高速な書き込み、読み出しが可能である。

【0033】次に、図1を参照して、検査用メモリセルに、各情報メモリセルグループのパリティ情報を書き込むパリティ書き込みモードの動作について説明する。

【0034】モード検知回路は、外部端子に与えられた状態に基づき第1の状態（「動作モード」ともいう）を検知すると、パリティクロック ϕ_{pc} を発生させる。情報検査制御回路は、このパリティクロック ϕ_{pc} を取り込み、内部回路を外部端子から電氣的に遮断すると同時に、行及び列選択回路と、情報検査回路部を制御する。

【0035】本動作モードでは、まず情報検査回路部内のラッチ回路LCのデータは、全て“0”にクリアされる。

【0036】列選択回路は、全てのワード線 WD_x を順に選択していく。また、行選択回路は、全てのビット線対 D_y 、 D_y を情報検査回路部に接続する。

【0037】最初にワード線 WD_0 が選択されると、各ビット線対 D_y 、 D_y に伝達された0列の情報メモリセル $MC_{00} \sim MC_{m0}$ のデータは、センスアンプSAによって読み出される。

【0038】これらの読み出しデータは、縦続接続された2入力の排他的論理和ゲート（Exclusive ORゲート：

「EORゲート」という）E1の入力端子にそれぞれ入力され、最終段のEORゲートE1から0列のパリティ情報が生成される。

【0039】このパリティ情報は、ゲートS5を介して書き込みドライバWD_Pによって列検査用メモリセル RP_0 に書き込まれる。

【0040】またセンスアンプSAの出力である読み出しデータは、EORゲートE2の一方の入力端子に入力され、他方の入力端子にはラッチ回路LCにラッチされたデータがゲートS2を介して入力され、EORゲートE2の出力は、ゲートS2が遮断された後、ゲートS1を介してラッチ回路LCのデータを更新する。

【0041】以上の動作をn列のワード線 WD_n が選択されるまで繰り返すと列検査用メモリセル $RP_0 \sim RP_n$ には、各列のパリティデータが書き込まれ、ラッチ回路LCには、最終的に各行のパリティデータがラッチされる。

【0042】最後に、行検査用メモリセルのワード線WD_Pが選択されると、ラッチ回路LCのラッチデータがゲートS3を介して、書き込みドライバWDにより、各行検査用メモリセル $CP_0 \sim CP_n$ に書き込まれる。

【0043】以上、検査用メモリセルへのパリティデータ書き込みが完了すると、情報検査制御回路は、再び外部端子情報を内部回路に電氣的に接続し、通常動作モードにもどる。

【0044】次に、情報メモリセル内に発生したビットエラーを検索し、これを訂正する誤り訂正モードの動作について説明する。

【0045】モード検知回路は、外部端子に与えられた状態に基づき第2の動作モードを検知すると、誤り訂正クロック ϕ_{ec} を発生する。情報検査制御回路は、誤り訂正クロック ϕ_{ec} を取り込み、内部回路を外部端子から電氣的に遮断すると同時に、行及び列選択回路と、情報検査回路部を制御する。

【0046】本動作モードでも、まず、ラッチ回路LCのデータは、全て“0”にクリアされ、列選択回路は、全てのワード線 WD_x を順に選択していく。また、行選択回路は、全てのビット線対 D_y 、 D_y を情報検査回路部に接続する。

【0047】最初にワード線 WD_0 が選択されると、各ビット線対 D_y 、 D_y に伝達された0列の情報メモリセル $MC_{00} \sim MC_{m0}$ のデータはセンスアンプSAによって読み出される。これらセンスアンプSAによって読み出されたデータは、縦続接続された2入力EORゲートE1の一方の入力端子にそれぞれ入力され、最終段のEORゲートE1から0列のパリティ情報が生成される。

【0048】このパリティ情報は、列検査用メモリセル RP_0 のデータを読み出したセンスアンプSA_Pの出力とEORゲートE3により比較される。

【0049】EORゲートE3の出力は、列選択回路内

の誤り列ラッチ回路に接続されている。EORゲートE3の出力が“1”の場合、すなわち0列のパリティ情報と列検査用メモリセルのデータが不一致の時、0列が、前記誤り列ラッチ回路に誤り情報メモリセルを含む列としてラッチされる。

【0050】またセンスアンプSAの出力である読み出しデータは、EORゲートE2の一方の入力端子に入力され、他方の入力端子にはラッチ回路LCにラッチされたデータがゲートS2を介して入力され、EORゲートE2の出力は、S2が遮断された後、ゲートS1を介してラッチ回路LCのデータを更新する。

【0051】以上の動作をn列のワード線WDnが選択されるまで繰り返すと、誤り情報メモリセルが存在する場合は、その列が、誤り列ラッチ回路にラッチされ、情報検査回路部のラッチ回路LCには、最終的に各行のパリティデータがラッチされる。誤り列ラッチ回路に誤り列がラッチされなかった場合、本モードはここで終了する。

【0052】誤り列が存在した場合、行検査用メモリセルのワード線WDPが選択され、各行の行検査用メモリセルCP₀〜CP_nの読み出し情報と、S2を介し伝達されるラッチ回路LCのラッチデータとがEORゲートE2によって比較される。EORゲートE2の出力は、S1を介して、ラッチ回路LCのデータを更新する。

【0053】すなわち、最終的に、ラッチ回路LCに“1”がラッチされた行が、誤り情報メモリセルを含んだ行となる。n列のワード線選択が終了すると最後に、前記誤り列ラッチ回路にラッチされた誤り列のワード線が選択される。

【0054】誤り列上の情報メモリセルデータをセンスアンプSAによって読み出すと該読み出しデータは、EORゲートE2の一方の入力端子に入力され、EORゲートE2の他方の入力端子にはラッチ回路LCのラッチデータがS2を介して入力される。

【0055】誤り行のラッチ回路LCのデータは、“1”であるため、EORゲートE2の出力は、情報メモリセルデータの反転データとなるのに対し、その他の行のラッチ回路LCデータは、“0”であり、EORゲートE2の出力は、情報メモリセルデータがそのまま出力される。

【0056】EORゲートE2の出力は、ゲートS4を介して、書き込みドライバWDによって、該誤り列上の情報メモリセルに書き込まれる。

【0057】以上の様にして、誤り情報メモリセルのデータが訂正される。本動作モード終了後、情報検査制御回路は、再び外部端子情報を内部回路に電氣的に接続し、通常動作モードにもどる。

【0058】以上、本実施例における半導体メモリの各モード動作について説明した。

【0059】次に、本発明における動作モードの検知手

段の実施例について以下に説明する。

【0060】〔モード検知手段の実施例1〕本発明におけるモード検知手段の第1の実施例として、半導体メモリに新たに専用の外部端子を設け、パリティクロック ϕ_{PC} と誤り訂正クロック ϕ_{EC} を直接外部から入力する。すなわち、本実施例においては、外部の制御回路（不図示）がパリティ生成及び書き込みの第1動作モード、及び誤り訂正を行なう第2動作モードを判定し、半導体メモリの専用外部端子にパリティクロック ϕ_{PC} 、及び誤り訂正クロック ϕ_{EC} を供給する。

【0061】〔モード検知手段の実施例2〕本発明におけるモード検知手段の第2の実施例は、既存の外部制御端子の入力信号の組み合わせをデコードし、パリティクロック ϕ_{PC} と誤り訂正クロック ϕ_{EC} を生成するモード検知回路を設けるものである。

【0062】図2を参照して、半導体メモリのライトイネーブル信号WEとアウトプットイネーブル信号OEの2つの制御信号を使用したモード検知回路について説明する。

【0063】図2(A)は、モード検知回路の回路構成の一例を示しており、図2(B)は、その動作を示すタイミングチャートである。図示の如く、アウトプットイネーブル信号OEをL₀に固定した状態（アクティブ状態）で、ライトイネーブル信号WEをL₀からH_iに変化させるとパリティクロック ϕ_{PC} がアクティブとなる。また、アウトプットイネーブル信号OEをL₀に固定した状態（アクティブ状態）で、ライトイネーブル信号WEをH_iからL₀に変化させると ϕ_{EC} がアクティブとなる。パリティクロック ϕ_{PC} 及び誤り訂正クロック ϕ_{EC} のパルス幅は、図2(A)の遅延回路の遅延時間により定められる。

【0064】以上のように、アウトプットイネーブル信号OEがアクティブ状態でライトイネーブル信号WEを変化させることにより、パリティモードと誤り訂正モード設定することができる。

【0065】ただし、通常の書き込み動作を制御する際は、アウトプットイネーブル信号OEをインアクティブ、即ちH_iにした状態で、ライトイネーブル信号WEを変化させなければならない。

【0066】〔モード検知手段の実施例3〕本発明におけるモード検知手段の第3の実施例は、電源電圧の変化を検知して動作モードを判別するものである。低電源電圧時のデータ保持機能を有する半導体メモリにおいては、エラーの発生しやすいデータ保持状態を終了した直後に誤り訂正を実施することは、非常に有効である。

【0067】図3(A)に、データ保持電圧V_{DR}から動作電圧V_{OP}に、電源電圧V_{CC}が変化することを検知して誤り訂正クロック ϕ_{EC} を発生させるモード検知回路を示す。

【0068】抵抗R₁とR₂は、電源電圧V_{CC}を分圧して

参照電圧 V_{REF} を発生し、参照電圧 V_{REF} は、抵抗 R_3 と MOS トランジスタ Q からなるインバータの入力として トランジスタ Q のゲート端子に接続される。

【0069】本回路は、インバータの出力 V_c が、 H_i から L_o へ変化するとき、誤り訂正クロック ϕ_{EC} を発生する。図3 (A) に示すように、MOS トランジスタ Q のドレイン端子は NOR ゲートの一方の入力端子に直接接続され、NOR ゲートの他方の入力端子は MOS トランジスタ Q のドレイン端子とインバータ、遅延回路を介して接続されている。参照電圧 V_{REF} が MOS トランジスタ Q の閾値電圧 V_T に達すると、MOS トランジスタ Q は導通し、出力 V_c は、 H_i から L_o へ変化する。この時、NOR ゲートの両方の入力端子が共に L_o となりその出力、すなわち誤り訂正クロック ϕ_{EC} は H_i (アクティブ状態) となる。誤り訂正クロック ϕ_{EC} のパルス幅は図3 (A) の遅延回路の遅延時間によって定められる。

【0070】電源電圧 V_{CC} が、データ保持電圧 V_{DR} より高く、動作電圧 V_{OP} よりも低い値の時、 $V_{REF} = V_T$ になるように、 R_1 と R_2 の抵抗値を設定すると、図3 (B) に示すように、 $V_{REF} = V_T$ となる時間 t_c からインバータの出力 V_c は、 H_i から L_o へ変換し、この時、電源電圧 V_{CC} は、 $V_{DR} < V_{CC} < V_{OP}$ の関係を満たしている。

【0071】本実施例のモード検知回路においては、このように、電源電圧 V_{CC} がデータ保持電圧 V_{DR} から動作電圧 V_{OP} に変化する際に、誤り訂正クロック ϕ_{EC} が生成される。情報検査制御回路は誤り訂正クロック ϕ_{EC} を取り込み、内部回路を外部端子から電気的に遮断すると同時に、行及び列選択回路と、情報検査回路部を制御し、電源電圧が動作電圧 V_{OP} に復帰する際に、誤り検出及び誤り訂正が行なわれることになる。なお、図3 (A) の電源電圧の変化を検知する回路は内部回路でなく外付回路として設けてもよい。

【0072】上記各実施例においては、パリティ付加を行なうタイミングとしては、好ましくは通常動作時以外のエラー発生率が高い状態になる直前、例えば半導体メモリの電源電圧が下降する直前に、半導体メモリの所定の外部端子に第1動作モードを指定して行なわれる。この場合、電源電圧が予め定められた電圧レベルにまで下降した際にパリティクロック ϕ_{PC} を生成する回路構成は、前記モード検知回路の第3の実施例と同様にして構成される。あるいは、通常動作時においても、メモリアクセスに悪影響を与えない時間を選択し、ユーザ側で半導体メモリを第1動作モードに指定することによってパリティ付加を行なうことができる。

【0073】以上、本実施例においては、検査用メモリセルに対するアクセスは、第1、第2の動作モードを選択したときに一斉に行われ、これら第1、第2の動作モードは基本的に通常動作時以外のタイミングが選択されるため、ビット情報の検索に要する時間は特に問題に

らない。

【0074】また、本実施例においては、検査用メモリセルは、情報メモリセルの誤り訂正に必要な最小限の数に抑えることができ、チップ面積の増大を回避するだけでなく、検査用メモリセルに発生するエラーの発生頻度も最小限に抑えられることになる。

【0075】なお、本発明の半導体メモリにおいては、メモリ書き込みサイクル時間が長くなり高速性は低減するが、通常動作時中、パリティの付加をデータの書き込み毎に行なうことも可能である。

【0076】

【発明の効果】以上、説明したように、本発明の半導体メモリにおいては、検査用メモリセルへのパリティデータの書き込みと、誤りビットのデータ訂正を全ての情報メモリセルについて一斉に行うパリティ書き込みモードと誤り訂正モードを有し、これらのモードを有効に用いることにより半導体メモリの信頼性を大幅に向上する。また、本発明の半導体メモリにおいては、通常動作モード時には、パリティの生成及び書き込みは行なわれず、誤り訂正機能のないメモリと全く同様な動作を行うため、高速な書き込み、読み出しが可能であるという利点を有する。

【0077】さらに、本発明においては、検査用メモリセルに対するアクセスは、基本的に通常動作時以外の第1、第2の動作モードを選択したときに一斉に行われるため、ビット情報の検索時間は特に問題にならない。

【0078】そして、本発明においては、検査用メモリセルは、情報メモリセルの誤り訂正に必要な最小限の数に抑えることができる。このことから、チップ面積の増大を防ぐだけでなく、検査用メモリセルに発生するエラーの発生頻度も最小限に抑えられるという効果がある。

【0079】また、本発明によれば、低電圧で SRAM のデータ保持時に発生するソフトエラーは、電源電圧が低電圧から動作可能な電圧に上昇する際に、そのビットエラーが訂正されて通常動作に復帰し、通常動作モードでは、エラー訂正機構のないメモリと同等のサイクル時間でのメモリアクセスが行なわれるという利点を有している。本発明によれば、電源電圧 2 V 時のエラー発生率を 3 桁程度改善 (即ち、1000 Fit から 1 Fit にまで低減) することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の SRAM の回路図である。

【図2】(A) はモード検知回路の一例を示す回路図である。(B) は上記回路の動作タイミングチャートである。

【図3】(A) は電源電圧変化検知によるモード検知回路の一例を示す回路図である。(B) は上記回路の動作説明図である。

【図4】従来例の半導体メモリの原理説明図である。

【図5】従来例の半導体メモリの原理説明図（一次展開図）である。

【符号の説明】

$MC_0 \sim MC_n$ 情報メモリセル
 $RP_0 \sim RP_n$ 列検査用メモリセル
 $CP_0 \sim CP_n$ 行検査用メモリセル

$S1 \sim S5$ ゲート素子
 LC ラッチ回路
 SA, SAP センスアンプ
 WD, WDP 書き込みドライバ
 $R1 \sim R3$ 抵抗素子
 Q NチャネルMOSFET

【図1】

